

#3 #4/5-9-02
PATENT
WNZ-2427

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Masamoto TAGO et al., Conf.:
Appl. No.: 10/000,020 Group: 2812
Filed: December 4, 2001 Examiner: TBA
For: METHOD FOR LAMINATING AND MOUNTING
SEMICONDUCTOR CHIP

RECEIVED
MAR 20 2002
TC 2800 MAIL ROOM

CLAIM TO PRIORITY

Assistant Commissioner for Patents
Washington, DC 20231

March 19, 2002

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-368539	December 4, 2000

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON

Thomas W. Perkins
THOMAS W. PERKINS 33027
for Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/lh

Attachment(s): 1 Certified Copy(ies)

US



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月 4日

出 願 番 号

Application Number:

特願2000-368539

出 願 人

Applicant(s):

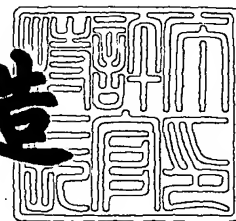
日本電気株式会社
三菱電機株式会社

RECEIVED
MAR 20 2002
TC 2800 MAIL ROOM

2001年10月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3090375

【書類名】 特許願

【整理番号】 35600018

【提出日】 平成12年12月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 3/40

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 田子 雅基

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

 【氏名】 冨田 至洋

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100071272

 【弁理士】

 【氏名又は名称】 後藤 洋介

【選任した代理人】

 【識別番号】 100077838

 【弁理士】

 【氏名又は名称】 池田 憲保

【その他】 国等の委託研究の成果に係る特許出願（平成 1 1 年度新エネルギー・産業技術総合開発機構「超高密度電子 S I 技術の研究開発エネルギー使用合理化技術開発」に関する

る委託研究、産業活力再生特別措置法第 3 0 条の適用を
受けるもの)

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001569

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体チップの積層実装方法

【特許請求の範囲】

【請求項 1】 電極表面を有する複数の半導体チップを順次積層して実装する半導体チップの積層実装方法において、

相対向する半導体チップの電極表面を活性化させ、

この相対向する半導体チップを位置合わせし、

加圧により相対向する半導体チップを反応層を形成することなく積層接合し、すべての半導体チップの積層接合が完了した後に、半導体チップ群を一括して加熱して反応層を形成することを特徴とする半導体チップの積層実装方法。

【請求項 2】 電極表面を有する複数の半導体チップを順次積層して実装する半導体チップの積層実装方法において、

相対向する半導体チップの電極表面を活性化させ、

この相対向する半導体チップを位置合わせし、

加圧及び超音波を印加することにより相対向する半導体チップを反応層を形成することなく積層接合し、

すべての半導体チップの積層接合が完了した後に、半導体チップ群を一括して加熱して反応層を形成することを特徴とする半導体チップの積層実装方法。

【請求項 3】 前記電極表面は、前記半導体チップ上の bumps 上に形成されたハンダを含むことを特徴とする請求項 1 又は 2 の半導体チップの積層実装方法。

【請求項 4】 前記電極表面は、前記半導体チップ上の bumps 上に無電解メッキで形成された活性成分を含むハンダであることを特徴とする請求項 1 又は 2 の半導体チップの積層実装方法。

【請求項 5】 前記反応層は、前記ハンダの接合層であることを特徴とする請求項 1 から 4 のいずれかの半導体チップの積層実装方法。

【請求項 6】 前記反応層は、相対向する半導体チップ間にそれぞれ均一に形成されていることを特徴とする請求項 1 から 5 のいずれかの半導体チップの積層実装方法。

【請求項 7】 前記活性化処理は、前記電極表面の有機物を除去するために実施されることを特徴とする請求項 1 から 6 のいずれかの半導体チップの積層実装方法。

【請求項 8】 前記加圧処理は、活性化された電極表面層を原子間距離まで接近させて原子間力によって接合が行われるように実施されることを特徴とする請求項 1 から 7 のいずれかの半導体チップの積層実装方法。

【請求項 9】 前記活性化処理は、プラズマにより励起された不活性ガスの原子ビームにより実施されることを特徴とする請求項 1 から 8 のいずれかの半導体チップの積層実装方法。

【請求項 10】 前記活性化処理は、ラジカルフッ素の照射により実施されることを特徴とする請求項 1 から 8 のいずれかの半導体チップの積層実装方法。

【請求項 11】 前記活性化処理は、スパッタリング法により実施されることを特徴とする請求項 1 から 8 のいずれかの半導体チップの積層実装方法。

【請求項 12】 前記活性化処理は、還元ガス中での熱処理であることを特徴とする請求項 1 から 8 のいずれかの半導体チップの積層実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップの積層実装方法に関し、特に半導体チップの 3 次元積層実装方法に関する。

【0002】

【従来技術】

この種の半導体積層実装技術では、半導体チップを直接積層する場合は、大きいサイズの上に小さいサイズの異なる半導体チップを接着材により回路面に搭載し、ワイヤボンディングによって電氣的接続を得て封止している。

【0003】

この半導体装置が積層することによって高密度実装となり、ボンディングの衝撃によって回路面に障害を与えることなく組み立てることが重要な要素の一つとなっている。

【0004】

この目的を達成するために、積層するための前提条件として、積層していく半導体チップは順次小さくなることが必要であり、半導体装置を高密度にするためにチップを薄く加工する必要がある。

【0005】

図3に従来の半導体積層実装技術を示す。具体的には、積層した半導体チップをワイヤボンディングにより接続した半導体装置の断面図を示す。

【0006】

インターポザー12上に、半導体チップ1aと半導体チップ1aよりサイズの小さい半導体チップ1bをAgペースト13により積層して、ワイヤボンディングワイヤ11によって各々を電氣的に接続しモールド樹脂15により封止し、外部端子（ハンダバンプ14）を取り付けて半導体装置を構成している。

【0007】

しかしながら、この方法によって製造される半導体装置は、ワイヤボンディングによって電氣的接続を得ているので、異なるチップサイズの半導体装置のみしか積層することができないうえ、半導体チップをフェイスダウンで搭載することができない。

【0008】

このため、ワイヤボンディングするための領域を確保しなければならず、高密度実装としては充分でない。

【0009】

また、半導体チップ積層後に半導体チップとインターポザーの電氣的接続を行うためのワイヤボンディングは下段に積層されている半導体チップの回路面に掛かる荷重が大きく半導体チップを破壊する恐れがある。

【0010】

一方、従来の他の半導体積層実装技術として、半導体チップを直接積層せず、積層に適した半導体装置に組み立てた後に積層する方法もある。

【0011】

図4にこの従来の半導体積層実装技術を示す。

【 0 0 1 2 】

インターポザー 1 2 に半導体チップ 1 を搭載し、ハンダバンプ 1 4 を形成する。搭載した半導体チップ 1 およびインターポザー 1 2 は、積層できるようにハンダバンプ 1 4 のスタンドオフ以内の薄さに加工されている。これらの半導体装置を所定数積層、搭載した後に一括してリフローし電極を接続する。ここで、1 6 は、フラックスを示している。

【 0 0 1 3 】

しかしながら、この方法ではインターポザーを積層する半導体チップ毎に使用しなくてはならず、薄型の半導体装置とはならない。また、積層するときには一括リフローしているがセルフアライメント可能であり、平坦性や位置精度のバラツキが吸収できる 1 mm ピッチから 0. 5 mm ピッチ用の比較的大きなハンダバンプを使用した場合のみ積層することが可能となる。

【 0 0 1 4 】

また、従来他の半導体実装技術として、微細ピッチの半導体チップを積層する方法がある。この従来半導体実装技術を図 5 に示す。

【 0 0 1 5 】

図 5 に示すように、回路面 6 及び裏面 7 を有する半導体チップ 1 を位置合せし、ハンダ 4 により接合した後、次の積層する半導体チップ 1 を位置合せし、ハンダ接合している。微細ピッチであるため多段積層時の一括リフローはセルフアライメントの効果が期待できないため、順次ハンダ接合を実施することになる。ここで、2 は貫通電極を示し、3 はバンプを示している。また、5 はハンダ接合層である。

【 0 0 1 6 】

この方法では積層搭載した半導体装置の電極の位置合せ精度を高め、半導体チップの電極材料の構成を十分に検討し、さらに積層実装時の加熱履歴を低減することが重要な要素の一つとなっている。

【 0 0 1 7 】

しかしながら、従来の積層方法では半導体装置を小型化することが困難になるという問題点がある。

【 0 0 1 8 】

また、微細な電極の半導体チップを実装する場合においては、所定数を積層した後の一括リフロー接合は困難であり、順次積層しつつハンダ接合する必要がある。

【 0 0 1 9 】

この場合、最初に積層した接合部は最後に積層するまでに数回のハンダ接合時にかかる熱が負荷され一段目と最終段目の接合部では構造が異なること、また繰り返しの加熱で信頼性が低下することなどが懸念される。

【 0 0 2 0 】

こうした事情を考慮し、インターポーザーの電極仕様を各積層階層毎に変更する等の対策を実施する必要が発生しコストが高くなってしまう。

【 0 0 2 1 】

【発明が解決しようとする課題】

そこで、本発明は、上記従来技術の問題点に鑑みて成されたものであり、その目的とするところは、微細な電極を有する半導体チップの積層実装方法において積層後に一括した加熱リフローにより実装可能であり、接合部が均一かつ信頼性高く製造可能な半導体チップの積層実装方法を提供することにある。

【 0 0 2 2 】

【課題を解決するための手段】

上記目的を達成するために、本発明では、電極表面を有する複数の半導体チップを順次積層して実装する半導体チップの積層実装方法において、相対向する半導体チップの電極表面を活性化させ、この相対向する半導体チップを位置合わせし、加圧により相対向する半導体チップを反応層を形成することなく積層接合し、すべての半導体チップの積層接合が完了した後に、半導体チップ群を一括して加熱して反応層を形成するようにした。

【 0 0 2 3 】

ここで、前記電極表面は、前記半導体チップ上のバンプ上に形成されたハンダを含む。

【 0 0 2 4 】

前記反応層は、具体時には、前記ハンダの接合層である。

【 0 0 2 5 】

また、前記反応層は、相対向する半導体チップ間にそれぞれ均一に形成されている。

【 0 0 2 6 】

また、前記活性化処理は、好ましくは、前記電極表面の有機物を除去するために実施される。

【 0 0 2 7 】

前記加圧処理は、活性化された電極表面層を原子間距離まで接近させて原子間力によって接合が行われるように実施されることが望ましい。ここで加圧処理とともに超音波を印加し、積層接合しても良い。

【 0 0 2 8 】

前記活性化処理は、プラズマにより励起された不活性ガスの原子ビームにより実施される。

【 0 0 2 9 】

代わりに、前記活性化処理は、ラジカルフッ素の照射により実施しても良い。

また、前記活性化処理は、スパッタリング法により実施しても良い。

さらに、前記活性化処理は、還元ガス中での熱処理であっても良い。

【 0 0 3 0 】

さらに、ハンダは無電解メッキにより形成され、ハンダ中には接合時に還元作用を有する活性成分を含み、表面の活性化処理に代替、もしくは補助する機能を利用していても良い。

【 0 0 3 1 】

【作用】

本発明による半導体チップの積層実装方法は、半導体チップの多段積層実装において、一段積層する毎に加熱し、順次ハンダ接合していくという方法に対し、またフラックス等の粘着性による仮接続ではなく、加熱を伴わずに積層していく接合工程を設け、すべて積層が完了した後に加熱しハンダ接合を完了することを特徴としている。

【0032】

この加熱を伴わない接合によって積層する工程を設け、一括リフローにより接合を完了することによって、一段目の接合部と最終段目の接合部の反応層が同じ構成で形成できる。

【0033】

このため、接合部や半導体チップに掛かる熱的負荷は均等となり等しい接合強度が得ることが可能であり、高温保管信頼性によって接合部の信頼性が異なるという事態が回避できる。

【0034】

さらに、微細ピッチの電極を持つ半導体チップを高精度に積層できる。

【0035】

【発明の実施の形態】

次に、本発明の実施の形態を、図面を参照しながら説明する。

【0036】

図1(a)～(d)、図2を参照すると、本発明の一実施形態としての製造工程を示す断面図および積層工程のフローチャートが示されている。

【0037】

ここで、図2のフローチャートにおいて、半導体チップの積層工程は、積層仮接合工程20と積層加熱接合工程21とに大きく区分される。

【0038】

そして、積層仮接合工程20は、表面活性化工程201と位置合せ工程202及び加圧・搭載工程203を有する。一方、積層加熱接合工程21は、加熱接合工程204から成る。

【0039】

図1に示すように、半導体チップ1には、回路面6と裏面7にバンプ3が形成され、バンプ3上にはハンダ4が供給されている。ここで、2は、貫通電極を示している。

【0040】

この半導体チップ1に対して、減圧雰囲気中でスパッタリングもしくは各種ガ

スを導入し、プラズマ励起した原子ビームを照射することで、パンプ 3 上に形成されたハンダ 4 の表面の有機物を除去し活性化させる（図 2 の工程 2 0 1）。

【 0 0 4 1 】

積層する半導体チップ 1 にも同様の処理を実施し、表面活性化された半導体チップ 1 の表面が再汚染されないように必要に応じて減圧された雰囲気中で位置合せして（図 2 の工程 2 0 2）、その後加圧する（図 2 の工程 2 0 3）。

【 0 0 4 2 】

加圧することにより、活性化された表面層を原子間距離まで接近させ原子間力によって接合を得ている。

【 0 0 4 3 】

この接合は、加熱を伴わないため接合の反応層（ハンダ接合層 5）は形成されない。この工程により反応層 5 を形成しない仮接合によって積層していくことが可能となる。

【 0 0 4 4 】

この積層仮接合工程 2 0 にて所定数を積層した後、ハンダ接合される温度まで加熱することで積層実装が完了する。

【 0 0 4 5 】

この方法によれば、フラックスの粘着力による仮付けによらないため接合後の洗浄工程が不要になる。

【 0 0 4 6 】

さらに、積層していく時に加熱接合せず、所定数積層後に一括して加熱するため各積層階層ともに均一な反応層を持つ信頼性の高い接合部が形成されるという効果がもたらされる。この後は必要に応じて樹脂により封止し、外部端子を取り付ける。

【 0 0 4 7 】

上記実施の形態において、半導体チップの表面活性化工程および積層仮接合の工程は減圧雰囲気中でなくてもよく、表面活性化はプラズマにより励起された不活性ガスの原子ビームまたはラジカルフッ素の照射またはその他のプラズマにより励起された活性化されたガスや、その他の活性ガスの照射またはスパッタリン

グ法または還元ガス中での熱処理によって行っても良い。

【0048】

また、表面の活性が保たれる大気圧下での還元雰囲気もしくは不活性雰囲気中での積層仮接合の工程であっても良い。

【0049】

さらに、表面活性化後の加圧による積層仮接合は加圧のみによらず、超音波を印加しても良い。

【0050】

ここでは、バンプ3上にハンダ4が供給されているが、ハンダは無電解メッキによって供給され、ハンダ中に表面を活性化する成分を含んだハンダを使用しても良い。

【0051】

無電解メッキ中に含まれるリンの還元作用が表面を活性化させるため、表面活性化工程の代替、もしくは補助となり得る効果を発揮する。ハンダ中に含まれる活性成分はリンである必要はない。

【0052】

また、バンプ3上にハンダ4は供給されていなくても良い。銅、金、アルミニウム、その他バンプとして考えられる金属材料の様々な組み合わせは、本発明の積層方法によれば、表面を活性化する方法と積層する雰囲気の減圧環境を調整することで可能となる。

【0053】

なお、本発明は上記実施の形態に限定されず、本発明の技術思想の範囲内において、適宜変更可能である。

【0054】

【実施例】

図1を用いて本発明の実施例を詳細に説明する。

【0055】

回路面6と裏面7にあるバンプ3は銅により形成され、この銅のバンプ3上にはハンダ4として錫が0.2 μm ～0.5 μm 供給されている。

【 0 0 5 6 】

これら積層する半導体チップ 1 を表面活性化する機能と位置合せし、加圧搭載する機能を兼ね備えた装置中に準備し、 $1 \times 10 E - 3 \sim 1 \times 10 E - 5 P a$ 程度の真空状態にした後、アルゴンガスを導入しプラズマを発生させアルゴン原子をバンプ表面に向けて 5 分間照射する。

【 0 0 5 7 】

照射する時間はバンプもしくはハンダとして供給されている材料のエッチングレートにより異なるが 1 分～20 分の間で選択する。この後、この減圧雰囲気中にて位置あわせし、バンプの接合面同士が密着するように塑性変形させるため加圧する。

【 0 0 5 8 】

活性化された接合面を持つバンプは、以上のプロセスにより仮接合を完了する。このようにして順次仮接合した積層体を $220^{\circ}C$ に加熱し、錫を拡散させ本接合を完了する。

【 0 0 5 9 】

ここでは表面を活性化させるために真空中でのアルゴン原子ビームを利用したが、大気中でのプラズマ励起したガスによっても良く、表面活性化の後の加圧仮接合も真空中で行っているが、窒素やアルゴン等のガスを導入した大気圧中でも可能である。

【 0 0 6 0 】

[他の実施例]

回路面 6 にあるバンプ 3 は金により形成され、裏面 7 にあるバンプ 3 は銅により形成された積層する半導体チップ 1 を表面活性化する機能と位置合せし、加圧搭載する機能を兼ね備えた装置中に準備し、 $1 \times 10 E - 3 \sim 1 \times 10 E - 5 P a$ 程度の真空状態にした後、アルゴンガスを導入しプラズマを発生させアルゴン原子をバンプ表面に向けて 10 分間照射する。

【 0 0 6 1 】

この減圧雰囲気中にて位置あわせし、バンプの接合面同士が密着するように塑性変形させるため加圧する。活性化された接合面を持つバンプは以上のプロセス

により仮接合を完了する。

【 0 0 6 2 】

このようにして順次仮接合した積層体を 2 5 0 ℃ に加熱し、金および銅を相互拡散させ本接合を完了する。ここで加熱する温度は 2 5 0 ℃ としたが、半導体チップが機能不良とならない温度であれば高温に加熱しても良い。また、バンプの材料は適宜変更しても問題なく、金属材料の組み合わせは自由である。

【 0 0 6 3 】

【発明の効果】

本発明によれば、仮接合時に加熱を伴わないため接合部に反応層が形成されず積層していくことができるため、本接合時に一括して加熱することによって各積層層とも接合部には均一な反応層が形成され、構造が安定する。

【 0 0 6 4 】

また、過剰な熱履歴によって発生する電極の溶解等による信頼性の低下がない積層方法を提供可能である。

【 0 0 6 5 】

さらに、フラックスの粘着力による仮付けも行わないため接合後の洗浄工程が不要になり、残渣によるマイグレーションの発生も防止できる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態による半導体チップの積層実装工程を示す断面図である。

【図 2】

本発明の一実施形態による半導体チップの積層実装工程を示すフローチャートである。

【図 3】

従来の半導体チップの積層実装技術を示す断面図である。

【図 4】

従来の他の半導体チップの積層実装技術を示す断面図である。

【図 5】

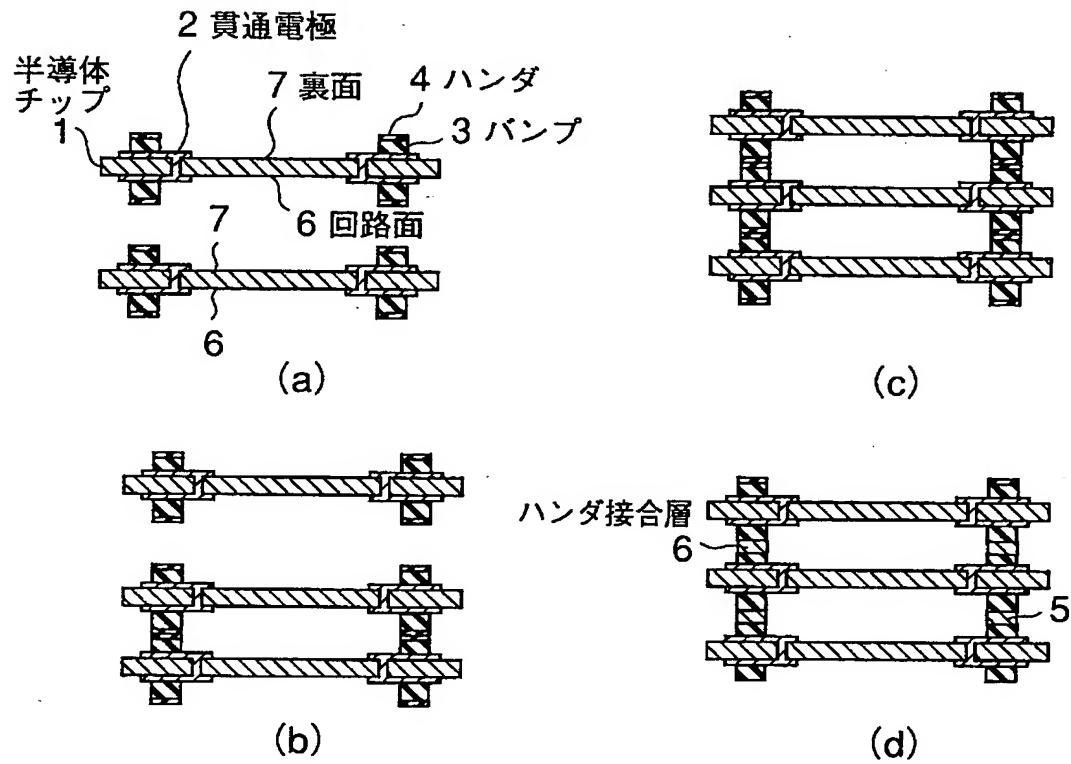
従来の他の半導体チップの積層実装技術を示す断面図である。

【符号の説明】

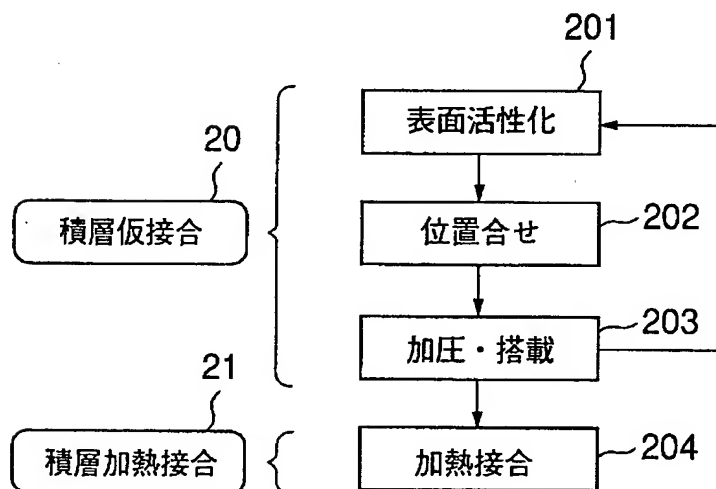
- 1 半導体チップ
- 2 貫通電極
- 3 バンプ
- 4 ハンダ
- 5 ハンダ接合層
- 6 回路面
- 7 裏面
- 1 1 ボンディングワイヤ
- 1 2 インターポーザー
- 1 3 A g ペースト
- 1 4 ハンダバンプ
- 1 5 モールド樹脂
- 1 6 フラックス

【書類名】 図面

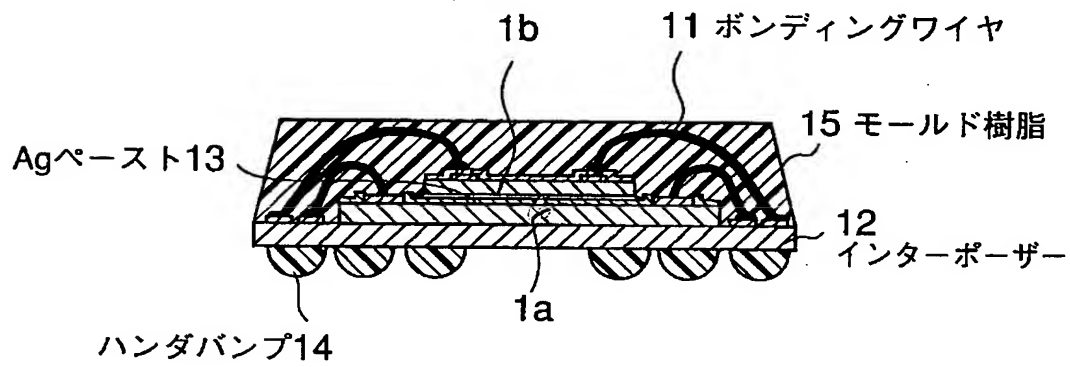
【図 1】



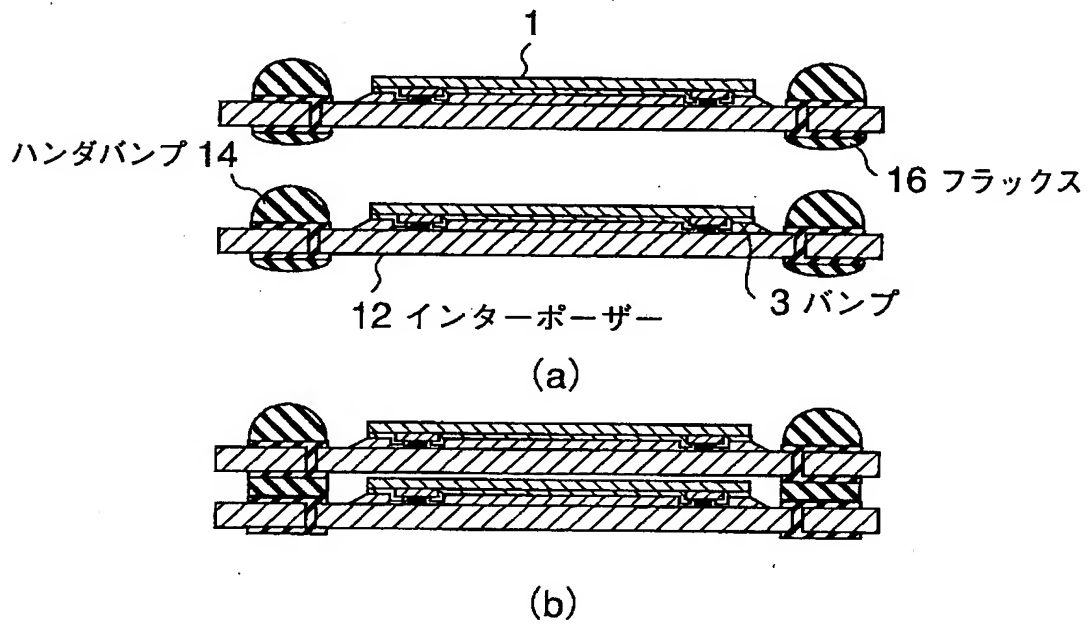
【図 2】



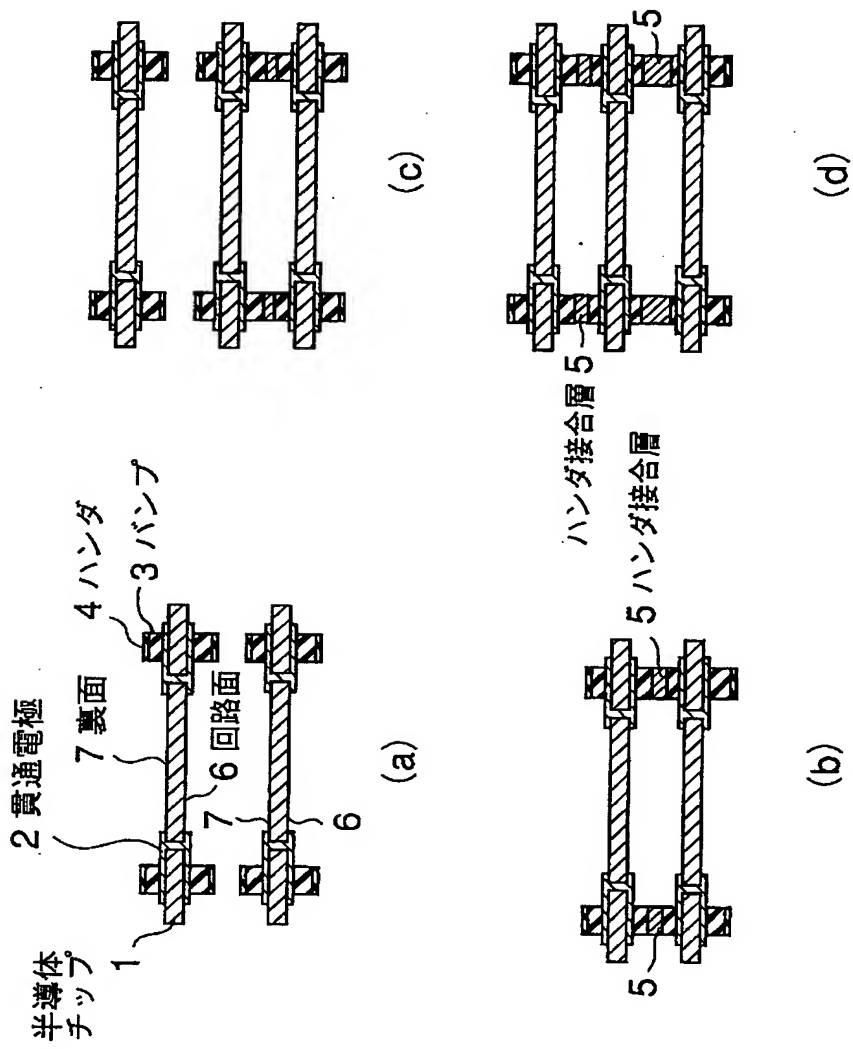
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 半導体チップの積層実装において接合部にかかる熱履歴を減らし、反応層を各積層階層とも均一にし、信頼性を向上させる半導体チップの積層実装方法を提供する。

【解決手段】 ハンダ4を有する複数の半導体チップ1を順次積層して実装する半導体チップ1の積層実装方法であって、相対向する半導体チップ1のハンダ4を活性化させ、この相対向する半導体チップ1を位置合わせし、加圧により相対向する半導体チップ1をハンダ接合層5を形成することなく積層接合し、すべての半導体チップ1の積層接合が完了した後に、半導体チップ群を一括して加熱してハンダ接合層5を形成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社